

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Hak-Ki CHOI, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0105.US

For: **PLASMA DISPLAY PANEL DRIVING
CIRCUIT**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

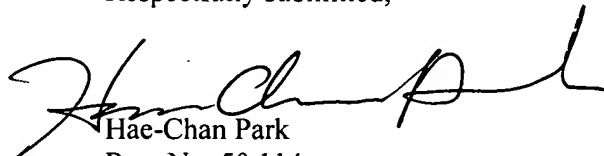
Priority under 35 U.S.C. §119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2003-0016852	March 18, 2003

A certified copy of Korean Patent Application No. 10-2003-0016852 is enclosed.

Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,


Hae-Chan Park
Reg. No. 50,114

Date: February 3, 2004
McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0016852
Application Number

출 원 년 월 일 : 2003년 03월 18일
Date of Application MAR 18, 2003

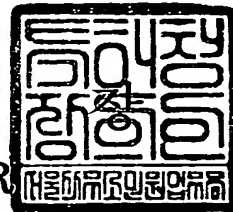
출 원 인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.03.18
【발명의 명칭】	플라즈마 디스플레이 패널의 구동 회로
【발명의 영문명칭】	Driving circuit for plasma display panel
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	이원일
【포괄위임등록번호】	2001-041982-6
【발명자】	
【성명의 국문표기】	최학기
【성명의 영문표기】	CHOI, HAK KI
【주민등록번호】	701104-1068511
【우편번호】	330-300
【주소】	충청남도 천안시 성성동 500번지 우성아파트 105동 1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김상철
【성명의 영문표기】	KIM, SANG CHUL
【주민등록번호】	650816-1954011
【우편번호】	330-769
【주소】	충청남도 천안시 신방동 향촌현대아파트 308동 1202호
【국적】	KR
【발명자】	
【성명의 국문표기】	문승필
【성명의 영문표기】	MUN, SEUNG PIL

【주민등록번호】	691022-1581114
【우편번호】	330-763
【주소】	충청남도 천안시 쌍용2동 주공10단지아파트 510동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	진광호
【성명의 영문표기】	JIN,KWANG HO
【주민등록번호】	711028-1037110
【우편번호】	330-769
【주소】	충청남도 천안시 신방동 향촌현대아파트 305동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	안선경
【성명의 영문표기】	AHN,SUN KYUNG
【주민등록번호】	750129-2066912
【우편번호】	336-861
【주소】	충청남도 아산시 음봉면 동암리 산 87-1 삼성SDI기숙사 그린동 327호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	6 항 301,000 원
【합계】	330,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 램프 펄스의 안정된 동작을 위한 플라즈마 디스플레이 패널의 구동 회로에 관한 것으로서, 이를 위하여 본 발명은 플라즈마 디스플레이 패널의 패널 전압이 시간적으로 선형 증가 또는 감소하는 램프 펄스를 발생시키기는 구동회로에 램프 펄스의 발생을 위해 정전류원으로 동작하는 스위칭 소자에 연결되는 부품과 서로 반대되는 온도 특성을 갖는 캐패시터(Capacitor)를 추가함으로써, 램프 펄스를 만들기 위한 부품이 온도 변화에 따라 부품의 값이 변하지 않도록 온도 특성이 반대인 부품들을 병렬 연결하여 램프 펄스의 기울기가 변하는 현상을 방지하여 램프 펄스의 안정된 동작이 수행되도록 하고, 램프 펄스의 기울기를 온도에 따라 항상 일정 하게 유지할 수 있어 플라즈마 디스플레이 패널의 동작 마진을 향상시키고, 저온 저방전 현상을 억제할 수 있다.

【대표도】

도 8

【색인어】

플라즈마 디스플레이 패널, 램프 펄스, 캐패시터, 저항, 온도 특성

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동 회로{Driving circuit for plasma display panel}

【도면의 간단한 설명】

도 1은 플라즈마 디스플레이 패널의 전극 배열도를 나타낸 것이다.

도 2는 플라즈마 디스플레이 패널의 구간 계조 구현 방법을 나타내고 있다.

도 3은 램프 펄스를 이용한 플라즈마 디스플레이 패널의 구동 파형을 도시한 것이다.

도 4는 도 3의 구동 파형을 위한 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.

도 5는 캐패시터를 이용한 램프 펄스 발생 회로를 도시한 것이다.

도 6은 저항을 이용한 램프 펄스 발생 회로를 도시한 것이다.

도 7은 도 5 또는 도 6에 의한 램프 펄스의 기울기를 도시한 것이다.

도 8은 본 발명에 따른 제1 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.

도 9는 본 발명에 따른 제2 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.

도 10은 본 발명에 따른 제3 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 램프 펄스 발생을 위한 플라즈마 디스플레이 패널의 구동에 관한 것으로, 보다 상세하게는 램프 펄스 발생을 위해 장착되는 부품의 온도 변화를 보상하여 램프 펄스의 안정적인 동작을 가능토록 하는 플라즈마 디스플레이 패널의 구동회로에 관한 것이다.
- <12> 플라즈마 디스플레이 패널은 복수개의 방전관을 매트릭스 형상으로 배열하여 이를 선택적으로 발광하여 전기신호로 입력된 화상 데이터를 복원시키는 디바이스의 일종이다.
- <13> 도 1은 플라즈마 디스플레이 패널의 전극 배열도를 나타낸 것이다.
- <14> 도 1에 도시된 바와 같이, PDP 전극은 $m \times n$ 의 매트릭스 구성을 가지고 있으며, 구체적으로 열 방향으로 어드레스전극($A_1 \sim A_m$)이 배열되어 있고, 행 방향으로 n 행의 주사전극($Y_1 \sim Y_n$) 및 유지전극($X_1 \sim X_n$)이 지그재그로 배열되어 있다. 이하에서는 주사전극을 "Y 전극", 유지전극을 "X 전극"이라 칭한다. 도 1에서 참조부호 12는 방전셀이다.
- <15> 이때, PDP의 각 전극의 개수는 해상도에 따라서 결정된다. 이러한 PDP는 컬러 디스플레이로서의 성능을 내기 위해 중간 계조를 구현하게 된다.
- <16> PDP의 중간 계조 구현은 1 TV 필드를 6개의 서브필드로 나누고, 이 서브필드를 시분할 제어하는 방법을 사용하고 있다.
- <17> 도 2는 플라즈마 디스플레이 패널의 구간 계조 구현 방법을 나타내고 있다.
- <18> 도 2에 나타나 있듯이, PDP는 6비트 계조 표현을 위해 1 TV 필드를 6개의 서브필드로 나누고, 1 서브필드마다 어드레스 구간과 유지 구간으로 분리되어 구성되어 있다.

- <19> 현재 상용화되고 있는 PDP 제품은 대개 6개의 서브필드보다 많은 10~12개, 또는 그 이상의 서브필드로 1 TV 필드가 구성되어 있다.
- <20> PDP는 서브필드 개수가 많을수록 화질에 있어 가장 중요한 요인인 의사윤곽을 저감시킬 있기 때문에 서브필드의 개수를 여러 가지 방법을 이용해 증가시키는 연구가 진행되고 있다.
- <21> 한편, PDP는 동작 마진 확보를 위해 램프 리셋을 이용하기도 한다. 램프 리셋을 이용할 경우에, PDP의 구동은 약방전에 의해 패널 전체에 많은 양의 벽전하를 쌓은 상태에서 다음에 수행하게 될 어드레스 동작에 적절한 정도의 벽전하만을 남기고 이를 소거하여 저전압 어드레스가 가능하게 된다.
- <22> 도 3은 램프 펄스를 이용한 플라즈마 디스플레이 패널의 구동 파형을 도시한 것이고, 도 4는 도 3의 구동 파형을 위한 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.
- <23> 도 3과 도 4에서 점선으로 표시한 부분은 각각 램프 펄스 파형과 이를 위한 간단한 램프 펄스 발생 부분을 각각 나타내고 있다.
- <24> 램프 펄스를 발생시키는 방법에는 여러 가지가 있지만 그 중 캐패시턴스성 부하 (Capacitive load)로 모델링되는 플라즈마 디스플레이 패널에서 램프 파형을 출력시키기 위해 구동회로의 스위치를 정전류원으로 동작시키는 방법이 있다.
- <25> 패널에 걸리는 전압을 V_c 라고 할 때, 아래 수학적 식 1과 같이 램프 펄스의 경우에 시간축에 대하여 선형적으로 전압이 증가하는 형태이므로 V_c 의 미분값은 일정한 상수값이 나오게 된다.

<26>

$$V_c = \frac{1}{C} \int i dt$$

【수학식 1】

$$\frac{dV_c}{dt} = \frac{1}{C} \times i = \text{Constant}$$

<27>

수학식 1에서, C는 패널의 캐패시턴스로 일정한 값이므로 결국 램프 펄스를 출력시키기 위해서는 패널에 유입되는 전류(i)가 일정해야 한다.

<28>

도 5는 캐패시터를 이용한 램프 펄스 발생 회로를 도시한 것이다.

<29>

도 5는 FET의 게이트와 드레인 사이에 캐패시터(C1)를 추가하여 램프 펄스를 만들고 있다. 즉, FET가 완전히 턴온(turn on)되기 위해서는 먼저 FET의 게이트와 소스간의 기생 캐패시턴스(Cgs)를 충전시킨 후 게이트와 드레인간의 기생 캐패시턴스(Cgd)를 마저 충전시키면 된다.

<30>

이때 Cgd에 부가적으로 캐패시터(C1)를 추가시켜 Cgs가 충전되면, 임계전압(Threshold voltage)을 넘은 FET가 도통되기 시작하는 시점에서부터 완전히 도통되기까지의 시간을 어느 정도 연장시킬 수 있다.

<31>

이렇게 하면, ①의 경로를 통해 Cgs가 충전되어 FET가 살짝 열리게 되고, 게이트 전류의 방향이 ②의 경로를 통해 패널로 유입되며, 충전되어 있던 Cgs는 방전되면서 FET는 더 이상 열리지 않고 닫힌다. 이때 ①과 ②의 경로는 서로 네가티브 피드백(Negative feedback) 효과를 주어 FET가 정전류원으로 동작하도록 한다.

<32>

도 6은 저항을 이용한 램프 펄스 발생 회로를 도시한 것이다.

<33>

도 6은 FET의 소스와 FET 드라이브 IC의 Vs 단자 사이에 저항을 삽입하여 정전류원을 만드는 것이다.

- <34> 도 5에서 설명한 바와 같이, 게이트 전류가 C_{gs} 를 충전시켜 FET가 열리면 I_d 전류가 흐르기 시작한다. I_d 전류는 C_{gd} 를 마저 충전시키면서 급격히 상승하게 되나 저항 R_2 에서 V_r 의 전압 강하를 일으키면서 C_{gs} 에 충전되는 전압의 크기가 작아진다.
- <35> 이는 FET를 구동시키는 드라이브 IC의 V_s 단자와 게이트 신호가 출력되는 H_0 단자 사이의 전위차는 외부에게 인가해주는 V_{cc} (대개 12V~18V) 전압으로 일정하기 때문이다.
- <36> 이렇게 C_{gs} 전압이 작아지면 FET는 다시 닫히면서 I_d 전류는 작아진다. I_d 전류가 작아지면 전압강하 V_r 도 작아지고, C_{gs} 전압은 커지면서 FET는 다시 열린다.
- <37> 위의 동작은 네가티브 피드백 효과로, FET가 정전류원으로 동작하도록 한다.
- <38> 도 7은 도 5 또는 도 6에 의한 램프 펄스의 기울기를 도식한 것이다.
- <39> 캐패시턴스성 부하인 플라즈마 디스플레이 패널에 있어서 스위치를 정전류원으로 동작시키게 되면 도 7에 도식된 바와 같은 램프 펄스를 얻을 수 있다.
- <40> 이때 램프 펄스의 기울기는 도 5의 R_1 및 C_1 , 도 6의 R_1 및 R_2 의 값에 ①, ② 방향으로 조정 가능하다. 램프 펄스의 기울기는 부품의 시정수 이외에 주변 온도에 따라 커지거나 작아지는데, 이는 부품의 온도 특성에 많이 좌우되기 때문이다.
- <41> 플라즈마 디스플레이 패널에서의 약방전 수행을 위한 램프 펄스의 인가는 패널의 동작 마진과도 밀접한 관련이 있다. 램프 펄스의 기울기가 플라즈마 디스플레이 패널 세트(set)의 주변 온도에 따라 변하게 되면, 패널의 방전이 불안정해지고 방전 불량이 초래되는 문제점이 있다.
- <42> 따라서, 플라즈마 디스플레이 패널에서 안정된 방전을 위해 램프 펄스의 기울기가 주변 온도나 기타 상황에 따라 항상 일정하게 유지되도록 해야 한다.

【발명이 이루고자 하는 기술적 과제】

- <43> 본 발명은 위의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 온도 변화에 의해 램프 펄스의 기울기가 변하는 현상을 방지함으로써 램프 펄스의 안정된 동작을 위한 플라즈마 디스플레이 패널의 구동 회로를 제공하는 것이다.

【발명의 구성 및 작용】

- <44> 상기한 바와 같은 목적을 실현하기 위한 본 발명에 따른 플라즈마 디스플레이 패널의 구동 회로의 특징은, 플라즈마 디스플레이 패널의 패널 캐패시터 전압을 선형적으로 증가 또는 감소시키기 위한 램프 펄스를 발생시키는 플라즈마 디스플레이 패널의 구동회로에 있어서, 기생 캐패시턴스가 형성되어 있는 트랜지스터, 상기 트랜지스터에 연결되며, 상기 트랜지스터가 정전류원으로 동작하도록 상기 기생 캐패시턴스에 충전되는 전압을 네거티브 피드백으로 조절하는 네거티브 피드백 소자, 그리고 상기 트랜지스터의 게이트 노드와 액티브 노드 사이에 연결되는 제1 캐패시터를 포함하며, 상기 제1 캐패시터는 상기 네거티브 피드백 소자와 반대되는 온도 특성을 가진다.
- <45> 상기 네거티브 피드백 소자는 상기 트랜지스터의 게이트와 드레인 사이에 연결되는 제2 캐패시터를 포함하며, 상기 제1 캐패시터는 상기 트랜지스터의 게이트와 드레인 사이에 상기 제2 캐패시터와 병렬로 연결된다.
- <46> 상기 트랜지스터의 게이트와 소스 사이에 연결되며 상기 트랜지스터의 게이트와 소스 사이의 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 캐패시터를 더 포함한다.
- <47> 상기 트랜지스터의 게이트와 드레인 사이에 연결되며 상기 트랜지스터의 게이트와 드레인 사이의 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 캐패시터를 더 포함한다.

- <48> 상기 네거티브 피드백 소자는 상기 트랜지스터의 출력단에 연결되는 저항을 포함하며, 상기 제1 캐패시터는 상기 트랜지스터의 출력단과 게이트 사이에 연결된다.
- <49> 상기 트랜지스터의 기생 캐패시턴스에 병렬로 연결되며 상기 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 트랜지스터를 더 포함한다.
- <50> 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시예를 상세히 설명하면 다음과 같다.
- <51> 어느 한 실시예에서 언급한 내용 중 다른 실시예에도 적용할 수 있는 내용은 다른 실시예에서 특별히 언급하지 않아도 이를 적용할 수 있는 것은 당업자에게 자명하다.
- <52> 도 8은 본 발명에 따른 제1 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.
- <53> 도 8에 도시된 바와 같이, 플라즈마 디스플레이 패널의 구동 회로는 패널 캐패시터 전압을 선형적으로 증가 또는 감소시키기 위한 램프 펄스를 발생시키기 위해 정전류원으로 동작되는 FET의 게이트와 드레인 사이에 서로 반대의 온도 특성을 갖는 캐패시터들($C_{negative}$, $C_{positive}$)이 병렬 연결되어 있다.
- <54> FET는 기생 캐패시턴스가 형성되어 있고, $C_{negative}$ 는 FET에 연결되며 FET가 정전류원으로 동작하도록 기생 캐패시턴스에 충전되는 전압을 네거티브 피드백 조절한다.
- <55> $C_{positive}$ 는 FET의 게이트 노드와 액티브 노드 사이에 연결되고, $C_{negative}$ 와 반대되는 온도 특성을 갖는다.

- <56> 일반적으로 저항 R1은 온도에 따른 특성 변화가 거의 없지만, 캐패시터는 저항에 비해 온도 특성의 변화가 심하기 때문에 부품의 온도에 따른 변화값을 그래프 형식으로 데이터 시트(Data sheet)에 명시되어 있다.
- <57> C_{negative}는 온도 특성이 음성이므로 온도 변화에 따라 램프 펄스의 기울기가 고온에서는 더 작아지고(도 7에서 ② 방향), 저온에서는 더 커지게 된다(도 7에서 ① 방향).
- <58> C_{negative}와 병렬로 C_{positive}를 연결하면, C_{positive}는 온도 특성이 양성이므로 온도가 상승하면 부품의 캐패시턴스도 커지는 특성을 이용하여 온도에 따른 보상이 가능해진다.
- <59> 도 9는 본 발명에 따른 제2 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.
- <60> 도 9에 도시된 바와 같이, 플라즈마 디스플레이 패널의 구동회로는 FET의 소스와 구동 IC의 V_s 단자 사이에 저항 R2가 삽입되어 램프 펄스를 발생시키고, FET의 게이트와 소스 사이의 기생 캐패시터(C_{gs})와 반대의 온도 특성을 갖는 캐패시터(C_{opposite})가 FET의 게이트와 소스 사이에 연결되어 있다.
- <61> FET의 온도 특성상 C_{gs}의 변화에 따른 램프 펄스의 기울기 변동을 C_{opposite}를 장착하여 조절한다.
- <62> 이때, 제2 실시예의 구동 회로에는 FET의 게이트와 드레인 사이의 기생 캐패시터(C_{gd})와 반대의 온도 특성을 갖는 외부 캐패시터를 FET의 게이트와 드레인 사이에 연결하여 더욱 정밀하게 온도 보상을 수행할 수 있다.

- <63> 이 경우에, FET의 C_{gd} 는 대개 C_{gs} 에 비해 상당히 작은 값이므로 매우 정밀하게 온도 보상할 필요가 있을 경우에만 C_{gd} 와 반대의 온도 특성을 갖는 외부 캐패시터를 추가로 장착하는 것이 바람직하다.
- <64> 도 10은 본 발명에 따른 제3 실시예의 플라즈마 디스플레이 패널의 구동 회로를 도시한 것이다.
- <65> 도 10에 도시된 바와 같이, 제 3 실시예의 구동회로에서는 제1 실시예와 마찬가지로 FET의 게이트와 드레인 사이에 서로 반대의 온도 특성을 갖는 캐패시터들($C_{negative}$, $C_{positive}$)이 병렬 연결하고, FET의 기생 캐패시터인 C_{gs} 와 반대의 온도 특성을 갖는 캐패시터($C_{opposite}$)를 FET의 게이트와 소스 사이에 연결한다.
- <66> 이는 온도에 따른 램프 펄스의 기울기 변화를 더욱 정밀하게 억제하기 위한 것이다.
- <67> 한편, FET의 C_{gd} 와 반대의 온도 특성을 갖는 외부 캐패시터를 추가로 FET의 게이트와 드레인 사이에 연결하여 더욱 정밀한 온도 보상을 수행할 수도 있다.
- <68> 위에서 설명한 실시예들 외에 플라즈마 디스플레이 패널의 패널 온도 특성과 관련지어 온도 보상을 고려해볼 수도 있다.
- <69> 패널의 온도 특성이 양성이면 고온에서 패널의 캐패시턴스가 커져 램프 펄스의 기울기가 작아지므로, 플라즈마 디스플레이 패널의 구동 회로 상에 램프 펄스를 만드는 캐패시터로 음성 특성을 가진 부품을 장착하여 램프 펄스의 기울기를 보상할 수 있다.
- <70> 상기 도면과 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자

라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

- <71> 본 발명에 의한 플라즈마 디스플레이 패널의 구동회로는 램프 펄스를 만들기 위한 부품이 온도 변화에 따라 부품의 값이 변하지 않도록 온도 특성이 반대인 부품들을 병렬 연결하여 램프 펄스의 기울기가 변하는 현상을 방지하여 램프 펄스의 안정된 동작이 수행되도록 하는 효과가 있다.
- <72> 본 발명에 의한 플라즈마 디스플레이 패널의 구동 회로는 램프 펄스의 기울기를 온도에 따라 항상 일정 하게 유지할 수 있어 플라즈마 디스플레이 패널의 동작 마진을 향상시키고, 저온 저방전 현상을 억제할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

플라즈마 디스플레이 패널의 패널 캐패시터 전압을 선형적으로 증가 또는 감소시키기 위한 램프 펄스를 발생시키는 플라즈마 디스플레이 패널의 구동회로에 있어서,

기생 캐패시턴스가 형성되어 있는 트랜지스터,

상기 트랜지스터에 연결되며, 상기 트랜지스터가 정전류원으로 동작하도록 상기 기생 캐패시턴스에 충전되는 전압을 네거티브 피드백으로 조절하는 네거티브 피드백 소자, 그리고

상기 트랜지스터의 게이트 노드와 액티브 노드 사이에 연결되는 제1 캐패시터를 포함하며,

상기 제1 캐패시터는 상기 네거티브 피드백 소자와 반대되는 온도 특성을 가지는 플라즈마 디스플레이 패널의 구동 회로.

【청구항 2】

제 1 항에 있어서,

상기 네거티브 피드백 소자는 상기 트랜지스터의 게이트와 드레인 사이에 연결되는 제2 캐패시터를 포함하며,

상기 제1 캐패시터는 상기 트랜지스터의 게이트와 드레인 사이에 상기 제2 캐패시터와 병렬로 연결되는 플라즈마 디스플레이 패널의 구동 회로.

【청구항 3】

제 2 항에 있어서,

상기 트랜지스터의 게이트와 소스 사이에 연결되며 상기 트랜지스터의 게이트와 소스 사이의 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 캐패시터를 더 포함하는 플라즈마 디스플레이 패널의 구동 회로.

【청구항 4】

제 2 항에 있어서,

상기 트랜지스터의 게이트와 드레인 사이에 연결되며 상기 트랜지스터의 게이트와 드레인 사이의 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 캐패시터를 더 포함하는 플라즈마 디스플레이 패널의 구동 회로.

【청구항 5】

제 1 항에 있어서,

상기 네거티브 피드백 소자는 상기 트랜지스터의 출력단에 연결되는 저항을 포함하며,

상기 제1 캐패시터는 상기 트랜지스터의 출력단과 게이트 사이에 연결되는 플라즈마 디스플레이 패널의 구동 회로.

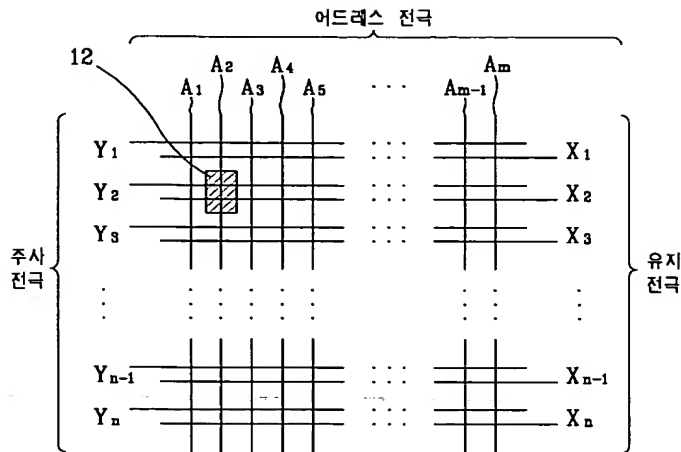
【청구항 6】

제 5 항에 있어서,

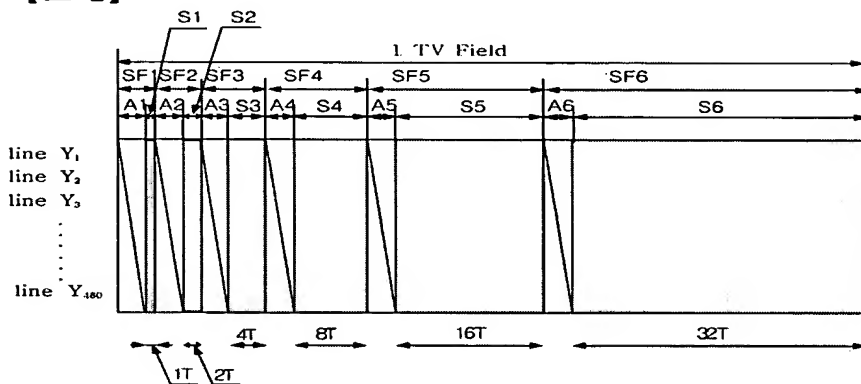
상기 트랜지스터의 기생 캐패시턴스에 병렬로 연결되며 상기 기생 캐패시턴스와 반대되는 온도 특성을 가지는 제3 트랜지스터를 더 포함하는 플라즈마 디스플레이 패널의 구동 회로.

【도면】

【도 1】



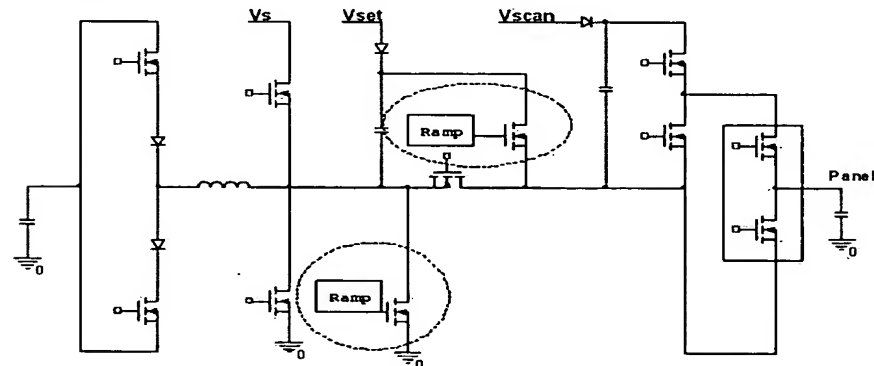
【도 2】



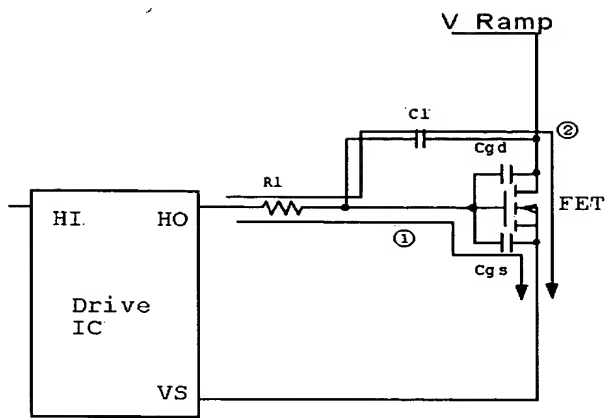
【도 3】



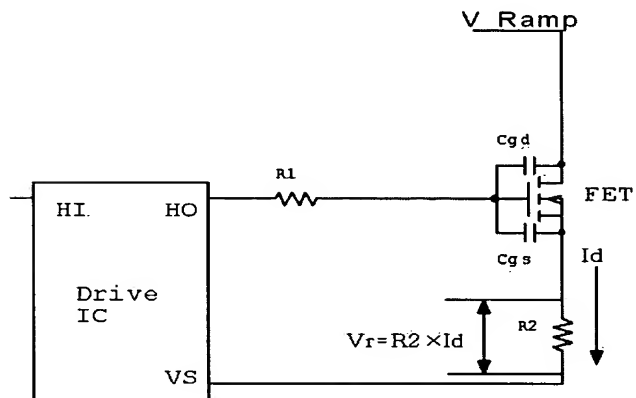
【도 4】



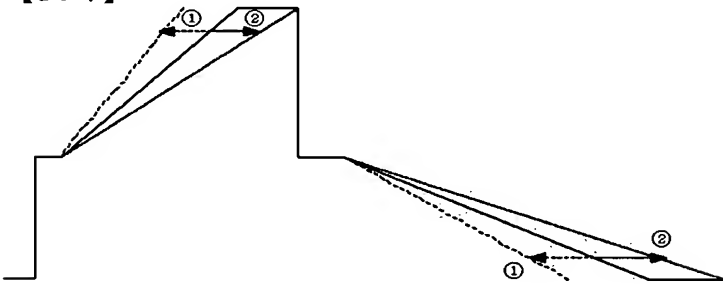
【도 5】



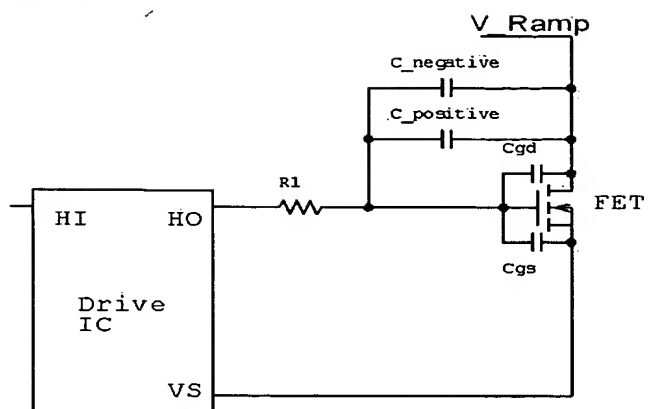
【도 6】



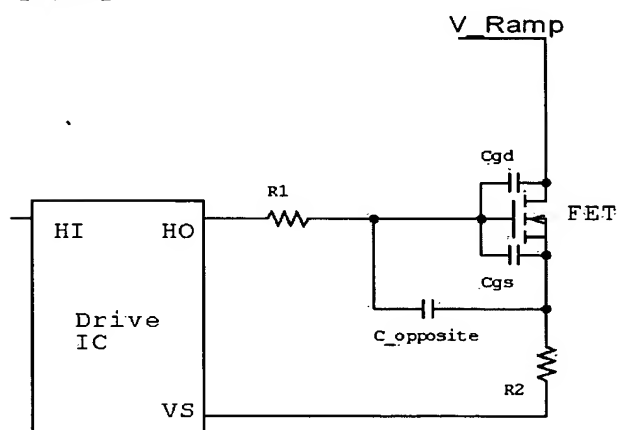
【도 7】



【도 8】



【도 9】



【도 10】

